

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 64-048456
 (43) Date of publication of application : 22.02.1989

(51) Int. Cl. H01L 29/46
 H01L 21/28
 H01L 21/90

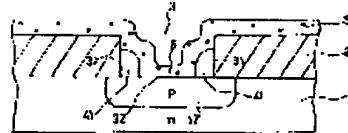
(21) Application number : 62-203990 (71) Applicant : FUJITSU LTD
 (22) Date of filing : 19.08.1987 (72) Inventor : KOJIMA HIDEYUKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To prevent the increase of contact resistance and junction leakage by forming a thermally stable refractory metallic disilicide layer having small resistivity onto the whole inner surface of a contact hole.

CONSTITUTION: A polycrystalline silicon layer 4 is shaped only on the sidewall 31 of the inner surface of a contact hole 3, a refractory metallic layer 5 is formed, and the refractory metallic layer 5 is converted into a refractory metallic silicide layer 6 only on the inner surfaces 31, 32 of the contact hole 3 through heat treatment. The refractory metallic silicide layer 6 is changed into a refractory metallic disilicide layer 61 through heat treatment. Accordingly, contact resistance among metallic electrode-wiring and source-drain, etc. can be reduced, and junction leakage is also prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

又々大飛

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭64-48456

⑬ Int.CI.

H 01 L 29/46
21/28
21/90

識別記号

厅内整理番号

T-7638-5F
U-7638-5F
C-6708-5F

⑭ 公開 昭和64年(1989)2月22日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特願 昭62-203990

⑰ 出願 昭62(1987)8月19日

⑱ 発明者 児島秀之 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代理人 弁理士 寒川誠一

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

[1] 半導体層(1)上に形成された絶縁物層(2)に、コンタクトホール(3)を形成し、該コンタクトホール(3)の内面側壁(31)のみに多結晶シリコン層(4)を形成し、リフラクトリメタル層(5)を形成した後、熱処理をなして、該リフラクトリメタル層(5)を前記コンタクトホール(3)の内面(31, 32)のみにおいて、リフラクトリメタルシリサイド層(6)に転換し、未転換の前記リフラクトリメタル層(5)を除去して、前記転換されたリフラクトリメタルシリサイド層(6)を前記コンタクトホール(3)の内面(31, 32)に残留し、さらに、熱処理をなして、前記リフラクトリメタルシリサイド層(6)をリフラクトリメタルダイシリサイド層(61)に転換する。

工程を有することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(概要)

半導体装置のコンタクトホールにおける金属電極・配線の製造方法の改良に關し、

特に、アスペクト比の大きいコンタクトホールにおいて、金属電極・配線のカバレージが低下しても、金属電極・配線とソース・ドライン等との接触抵抗を低減し、その後不可避的に実行される熱処理工程において、シリコンがコンタクトホール底部に析出することによる接触抵抗の増大がなく、また、金属がシリコン基板中にスピーカーしてジャンクションリードすることがない半導体装置の製造方法を提供することを目的とし、

コンタクトホール内面の全面に、熱的に安定な、比抵抗が小さいリフラクトリメタルダイシリサイド層を形成するように構成したものである。

〔産業上の利用分野〕

本発明は、半導体装置の製造方法の改良に関する。特に、半導体装置の金属電極・配線を形成するコンタクトホールにおいて、金属電極・配線の接触抵抗を低減する改良に関する。

さらに、詳しくは、アスペクト比の大きいコンタクトホールを介して接続される金属電極・配線の接触抵抗を低減する改良に関する。

〔従来の技術〕

半導体装置の少なくともベース、コレクタ、ソース、ドレイン等は、金属電極・配線をもって接続されることが多い。

第5図に示すように、金属電極・配線(7)は、シリコン層(1)上に形成された絶縁物層(2)、例えばPSC層に、フォトリソグラフィー法等を使用して形成されたコンタクトホール(3)を介して、ソース・ドレイン等をなすシリコン層(1)と接続される。

3

り、特にアスペクト比の大きいコンタクトホールに金属電極・配線を形成する工程において、金属電極・配線とソース・ドレイン等とのオーミックコンタクトの信頼性の向上と、熱処理工程における熱安定性の向上とを図ることにより、製造歩留りを向上するように改良した半導体装置の製造方法を提供することにある。

〔問題点を解決するための手段〕

上記の目的は、下記の方法によって達成される。

その方法は、半導体層(1)上に形成された絶縁物層(2)に、コンタクトホール(3)を形成し、

該コンタクトホール(3)の内面側壁(31)のみに多結晶シリコン層(4)を形成し、

リフラクトリメタル層(5)を形成した後、熱処理をなして、該リフラクトリメタル層(5)を前記コンタクトホール(3)の内面(31、32)のみにおいて、リフラクトリメタルシリサイド層(6)に転換し、

〔発明が解決しようとする問題点〕

半導体装置の集積度が向上すると、半導体装置の金属電極・配線を形成するコンタクトホール(3)のアスペクト比が大きくなる。その結果、アルミニウム合金等の金属を蒸着し、金属電極・配線(7)を形成する場合、コンタクトホール(3)内に形成される金属電極・配線(7)は、第5図に示すように、カバレージが不良となり、金属電極・配線(7)とシリコン層(1)との接触抵抗が増大する。

更に、アルミニウム合金等の金属電極・配線を蒸着した後、400~500℃の温度において熱処理をなして、オーミックコンタクトを完成するが、この際、アルミニウム合金等に含まれているシリコンがコンタクトホール(3)の下部に析出して、金属電極・配線とソース・ドレイン等との接触抵抗が増大することがある。また、アルミニウムがシリコン層(1)中にスピーカーしてジャンクショーシリーク現象を発生することもある。

本発明の目的は、この欠点を解消することにあ

4

未転換の前記リフラクトリメタル層(5)を除去して、前記転換されたリフラクトリメタルシリサイド層(6)を前記コンタクトホール(3)の内面(31、32)に残留し、

さらに、熱処理をなして、前記リフラクトリメタルシリサイド層(6)をリフラクトリメタルダイシリサイド層(61)に転換する

工程を有することを特徴とする半導体装置の製造方法である。

〔作用〕

前記のごとく選択形成されたリフラクトリメタルダイシリサイドは、コンタクトホールの内面の全面をライニングすることになり、しかも、リフラクトリメタルダイシリサイドは、比抵抗が小さいので、良好な接続材として有効に機能する。したがって、アスペクト比の大きいコンタクトホールにおいて、金属電極・配線のカバレッジが低下した場合においても、金属電極・配線とソース・ドレイン等との接触抵抗は低減される。

また、リフラクトリメタルダイシリサイドは金属電極・配線とシリコン基板との間において、熱的に安定なバリヤーメタルとして機能するため、熱処理工程において、シリコンがコンタクトホールの下部に析出することがなく、また、金属がシリコン基板中にスパイクしてジャンクションリークすることがない。

【実施例】

以下、図面を参照しつゝ、本発明の一実施例に係る半導体装置(MOS型電界効果トランジスタ)の製造方法について説明する。

第2図参照

LOCOS法等を使用して、素子形成領域以外に厚い絶縁膜11が形成されている例えばn型シリコンの基板(1)の表面を酸化してその上面にゲート絶縁膜(8)を300nm厚に形成し、スパッター法等を使用して、リフラクトリメタルシリサイド層、例えばチタンシリサイド層をゲート絶縁膜(8)上に2,000nm厚に形成し、バーニング

してゲート電極(9)を形成し、CVD法等を使用して、絶縁物層(2)例えばPSG層を、1.0μm厚に形成して、ゲート電極(9)の絶縁をなす。

以下の説明に参照する第1a、1b、3、4図は第2図において一点鎖線で囲まれているA部を拡大したものである。

第3図参照

ソース・ドレイン電極形成領域に、フォトリソグラフィー法等を使用して形成したPSG層(2)に、ソース電極・ドレイン電極引き出し用のコンタクトホール(3)を形成し、p型不純物をイオン注入して、ソース領域・ドレイン領域(12)を形成した後、低圧CVD法を使用して、多結晶シリコン層(4)を800nm厚に形成する。

第4図参照

異方性エッチング法を使用して、前記多結晶シリコン層(4)をエッチングし、コンタクトホール(3)の内部側壁のみにこの多結晶シリコン層(4)を残留し、他の領域から多結晶シリコン層

7

(4)を除去する。

第1a図参照

スパッター法等を使用してチタン層(5)を600nm厚に形成し、600°Cの温度において熱処理を行う。この熱処理工程において、コンタクトホール(3)内に堆積したチタン層(5)はソース・ドレインをなすシリコン層(11)または前工程(第4図参照)でコンタクトホール(3)の内面側壁に形成された多結晶シリコン層(4)と反応して、チタンシリサイド層(6)に転換される。一方、他の領域、即ちPSG(2)と接触している領域においては、チタン層(5)は未反応のまゝチタン層として残留する。

第1b図参照

前記の未反応チタン層(5)を過酸化水素水と水酸化アンモニウムとの水溶液を使用して除去し、コンタクトホール(3)の内面側壁と底面(31、32)のみにチタンシリサイド層(6)を残留し、750°Cに温度において、熱処理をなすと、チタンシリサイド層(6)はチタンダイシリサイド層

8

(61)に転換される。

上記の工程をもって製造されたMOS電界効果型トランジスタのコンタクトホール内面の全面は、化学的に安定で比抵抗の小さいチタンダイシリサイド層によってライニングされるため、金属電極・配線とソース・ドレインとを接続する際、良好なオーミックコンタクトが形成され、また前記チタンダイシリサイドは金属電極・配線とソース・ドレインとの間のバリヤーメタルとしても機能し、シリコンの析出及びジャンクションリーク等が防止される。

【発明の効果】

以上説明せるとおり、本発明に係る半導体装置の製造方法においては、比抵抗の小さいリフラクトリメタルダイシリサイド層がコンタクトホールの内面の全面をライニングするので、良好な接続材として機能する。また、リフラクトリメタルダイシリサイドは高温においても安定な材料で、金属電極・配線とシリコン層との間において、バリ

ヤーメタルとして機能する。その結果、アスペクト比が大きいコンタクトホールにおいて、第5図に示すように金属電極・配線のカバレージが悪い場合においても、金属電極・配線とソース・ドレイン等との接触抵抗を低減することができる。また、熱処理工程において、シリコンがコンタクトホール下部に析出せず、金属電極・配線とソース・ドレイン等との接触抵抗が増大することができない。また、アルミニウム等の金属がシリコン中に拡散してスパイクとなることがなく、ジャンクションリードも防止される。

4. 図面の簡単な説明

第1a図、第1b図は、本発明の一実施例に係る半導体装置の製造方法の要旨に係る工程の説明図である。

第2～4図は、本発明の一実施例に係る半導体装置の製造方法の主要工程の工程図である。

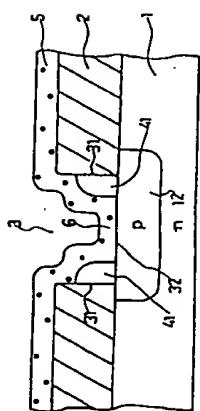
第5図は、従来技術に係る金属電極・配線の断面図である。

- 1 . . . n型シリコン基板、
- 11 . . . 厚い二酸化シリコン膜、
- 12 . . . ソース・ドレイン領域（p型シリコン層）、
- 2 . . . 绝縁物層、
- 3 . . . コンタクトホール、
- 31 . . . コンタクトホール内部側壁、
- 32 . . . コンタクトホール底部、
- 4 . . . 多結晶シリコン層、
- 5 . . . リフラクトリメタル層、
- 6 . . . リフラクトリメタルシリサイド層、
- 61 . . . リフラクトリメタルダイシリサイド層、
- 7 . . . 金属電極・配線、
- 8 . . . ゲート絶縁膜（二酸化シリコン膜）、
- 9 . . . リフラクトリメタルシリサイド層。

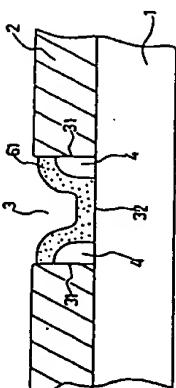
代理人弁理士 寒川誠一

1 1

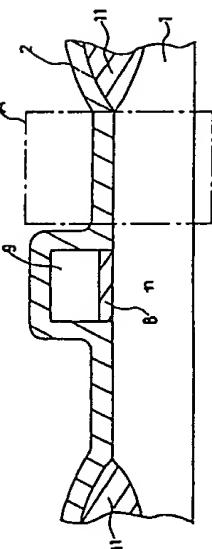
1 2



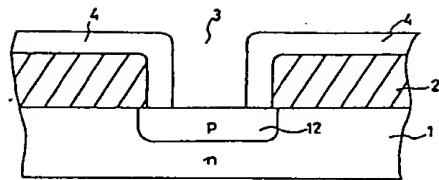
第1a
図
断面
図



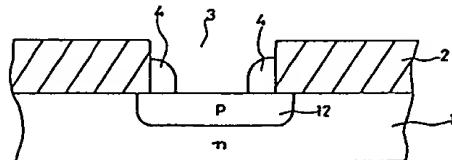
第1b
図
断面
図



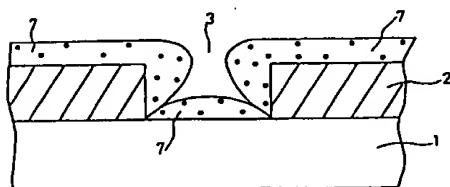
第2
図
断面
図



工程図
第3図



工程図
第4図



従来技術
第5図